

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-218324

(43)Date of publication of application : 02.08.2002

(51)Int.Cl.

H04N 5/335
H01L 27/146

(21)Application number : 2001-382311

(71)Applicant : HYNIX SEMICONDUCTOR INC

(22)Date of filing : 14.12.2001

(72)Inventor : CHOI SOO-CHANG

(30)Priority

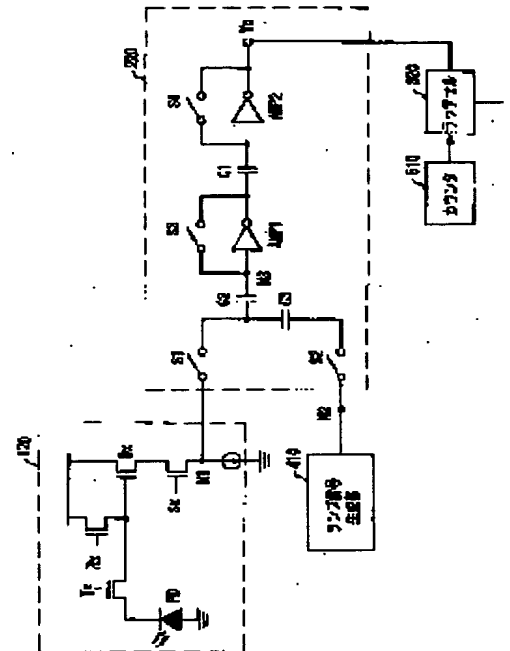
Priority number : 2000 200076618 Priority date : 14.12.2000 Priority country : KR

(54) CMOS SENSOR HAVING COMPARATOR AND ITS OFFSET VOLTAGE REMOVING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a CMOS image sensor having a comparator, in which current consumption and chip size can be reduced, while reducing offset voltage efficiently, and to provide its offset voltage removing method.

SOLUTION: The CMOS image sensor comprises an image-capturing means 120 for capturing an analog signal corresponding to the image of an object, an analog/digital(A-D) conversion means 220 for converting analog signal into digital signal utilizing a lamp signal, and a lamp signal generating means 410 for outputting a lamp signal to the A-D conversion means, wherein the A-D conversion means comprises a chopper comparator receiving an analog signal and a lamp signal. Further, the sensor has an input capacitor for receiving the start voltage of a lamp signal, to induce a voltage having the level of the start voltage at the time of reset mode, and to induce a voltage having a level corresponding to the lamp signal at counter mode time, in order to eliminate the offset voltage of a CMOS image sensor.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

【特許請求の範囲】

【請求項 1】 被写体のイメージに対応するアナログ信号を捕獲するためのイメージ捕獲手段と、
基準クロックに応じて一定の傾きで減少するランプ信号を利用して、前記アナログ信号をデジタル信号に変換するアナログーデジタル変換手段と、
前記アナログーデジタル変換手段に前記ランプ信号を出力するランプ信号発生手段とを備え、
前記アナログーデジタル変換手段は、前記アナログ信号及び前記ランプ信号を入力されるチョップ比較器と、
CMOS イメージセンサのオフセット電圧をなくすため、リセットモードである時、前記ランプ信号の開始電圧が入力されて前記開始電圧のレベルを誘起し、カウンタモードである時には、基準クロックに応じて減少する前記ランプ信号に該当するレベルの電圧を誘起する入力キャパシタとを備えることを特徴とする比較装置を有する CMOS イメージセンサ。

【請求項 2】 前記チョップ比較器は、インバーティング手段からなる複数の反転増幅器と、
デジタル制御部により制御される複数のスイッチと複数のキャパシタとを備えることを特徴とする請求項 1 に記載の比較装置を有する CMOS イメージセンサ。

【請求項 3】 前記アナログーデジタル変換手段により変換されるデジタル値を格納し、該デジタル値を格納するための複数のラインバッファからなるラッチ手段をさらに備えることを特徴とする請求項 1 に記載の比較装置を有する CMOS イメージセンサ。

【請求項 4】 前記チョップ比較器は、前記イメージ捕獲手段に連結する第 1 スwitch と、
前記ランプ信号発生手段に連結される第 2 スwitch と、
第 1 スwitching 手段に連結される第 1 キャパシタと、
前記第 1 キャパシタに連結される第 1 反転増幅器と、
前記第 1 反転増幅器の入力と出力とを連結する第 3 スwitch と、
前記第 1 反転増幅器に連結される第 2 キャパシタと、
前記第 2 キャパシタに連結される第 2 反転増幅器と、
前記第 2 反転増幅器の入力と出力とを連結する第 4 スwitch とを備え、
前記入力キャパシタは、前記第 1 スwitch 及び前記第 2 スwitch の間に備えられ、前記ラッチ手段に前記第 2 反転増幅器の出力が連結されることを特徴とする請求項 2 又は 3 に記載の比較装置を有する CMOS イメージセンサ。

【請求項 5】 前記第 1 スwitch は、前記デジタル制御部の制御信号に応答して、前記リセットモードである場合と、前記被写体のイメージに対応するアナログ信号を前記アナログーデジタル変換手段に伝達する電荷移動モードである場合、ターンオンされることを特徴とする請求項 4 に記載の比較装置を有する CMOS イメージセンサ。

【請求項 6】 前記第 1、3、4 スwitch は、前記電荷移動モードである場合、前記デジタル制御部の制御信号に応答してターンオンされることを特徴とする請求項 5 に記載の比較装置を有する CMOS イメージセンサ。

【請求項 7】 請求項 1 に記載の比較装置を有する CMOS イメージセンサを駆動させるための方法において、
前記ランプ信号の開始電圧を前記入力キャパシタに充電させ、これと同時に前記イメージ捕獲手段のリセット電圧を前記チョップ比較器へ充電させるリセットモードステップと、
前記イメージ捕獲手段から出力されるアナログ信号を前記チョップ比較器に伝達させる電荷移動モードステップと、

基準クロックに応じて減少する前記ランプ信号を前記チョップ比較器に伝達するカウンタモードステップとを含むことを特徴とする比較装置を有する CMOS イメージセンサのオフセット電圧除去方法。

【請求項 8】 前記チョップ比較器は、インバーティング手段からなる複数の反転増幅器と、
前記デジタル制御部により制御される複数のスイッチと複数のキャパシタとからなることを特徴とする請求項 7 に記載の比較装置を有する CMOS イメージセンサのオフセット電圧除去方法。

【請求項 9】 前記アナログーデジタル変換手段により変換されるデジタル値を格納し、該デジタル値を格納するための複数のラインバッファからなるラッチ手段をさらに含むことを特徴とする請求項 7 に記載の比較装置を有する CMOS イメージセンサのオフセット電圧除去方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本発明は、CMOS イメージセンサに関し、特に、アナログ相互連関された二重サンプリング機能を行う比較装置を有する CMOS イメージセンサに関する。

【0002】

【従来の技術】一般に、イメージセンサとは光に反応する半導体の性質を利用してイメージを捕獲 (capture) する装置であって、今まで開発されたイメージセンサの殆どが CCD (Charge Coupled Device) を利用したものであった。しかし、近年 CMOS (Complementary Metal Oxide Semiconductor) 技術が飛躍的に発達することに伴って、CMOS トランジスタを利用したイメージセンサが活発に開発されているが、このような CMOS イメージセンサは、従来の CCD イメージセンサとは異なって、アナログ及びデジタル制御回路をイメージセンサ集積回路上に直接搭載できる長所を持っており、CCD イメージセンサでは別の集積回路により構成されたアナログーデジタル変換機を内部に備えて

いる。一方、このようなCMOSイメージセンサ内のアナログデジタル変換機は、イメージセンサ内のピクセルアレイのコラム数ほど比較器を有するが、この比較器はピクセル信号をデジタル信号に変換する機能を行うので、出力イメージの画質に大きい影響を及ぼす構成要素である。

【0003】図1は、デジタル相互連関された二重サンプリング（Correlated Double Sampling、以下、CDSという）方式を支援するCMOSイメージセンサの全体ブロック構成図である。図1を参照しながら説明すれば、CMOSイメージセンサは複数の単位ピクセルがベイパター（bayer pattern）にアレイされたピクセルアレイ100と、ランプ信号を生成して比較器に出力するランプ信号生成部400と、ピクセル信号をデジタル電圧信号に変換するために、ピクセルアレイ100より出力されるアナログ出力電圧をランプ信号と比較する比較器アレイ部200と、比較器アレイ200より出力される信号により決定されるデジタル信号を格納するためのラッチアレイから構成されたラインバッファ300と、上記のブロックに対する制御信号及びデータを外部に出力するデジタル制御部500と、デジタル制御部500の制御信号によってピクセルアレイの特定行（ROW）を選択する信号を出力するローデコード600からなる。

【0004】ここで、比較器アレイ200は、ピクセルアレイ100のコラム数ほどの比較器から構成され、それぞれの比較器は比較器が位置したコラムのアナログピクセル値をデジタルコードに変換する機能を行う。変換されたデジタル信号は、ピクセルアレイ100のコラム数ほど備えられたラインバッファ300に格納される。一つのコラムには、ピクセルアレイのコラム数ほどのラッチがアレイ形態になってラインバッファ300として構成される。ラインバッファ300に格納されたデジタルピクセル信号がCMOSイメージセンサのデジタル制御部500によってイメージプロセッシングされた後に、順に一つずつセンサチップの出力ピンに出力される。一方、ローデコード600は、ピクセルアレイの1ラインを選択して比較器アレイ200にピクセル値を印加するようにする機能を行う。一方、ランプ信号生成部400は、アナログランプ信号を発生して比較器アレイ200にある全ての比較器に印加し、この場合、印加されたランプ信号がピクセル値と比較される。

【0005】図2は、図1のCMOSイメージセンサの全体的なブロックの中から単位ピクセルの画素信号をデジタル信号に変換して格納するための経路を示す回路図であり、図3は、CDS方式を説明するための波形図である。以下、図2及び図3を参照しながらCMOSイメージセンサにおけるアナログピクセル値を、CDS方式を介してデジタルコードで格納する過程をさらに詳しく説明する。

【0006】まず、図2を参照すれば、単位ピクセルに対応する信号処理経路は、外部からの光の強さに応じて電圧を出力する単位ピクセル110と、ランプ信号と単位ピクセル110の出力信号とを比較する比較器210と、比較器210の出力によってカウンタ（図示せず）でカウンティングされたデジタル値を格納するラッチアレイセル310からなる。

【0007】一方、単位ピクセル110は、外部からの光によって電圧が印加されるフォトダイオード32と、フォトダイオード32に印加された電圧を伝達する伝達トランジスタTxと、伝達トランジスタTxを介してフォトダイオード32に印加された電圧をゲートで入力されて、その電圧に応じてソースドレインの間に一定の電流を発生させるソースフォロア（source follower）トランジスタDxと、ソースフォロアトランジスタDxのゲートにリセット電圧を印加するリセットトランジスタRxと、ソースフォロアで生成された電流を後段の比較器210に伝達するセレクショントランジスタSxと、セレクショントランジスタSxと接地電源との間の電流源Isとから構成される。

【0008】ここで、まず、単位ピクセル110のリセットトランジスタRxがターンオン（turn-on）され、伝達トランジスタTxがターンオフ（turn-off）され、セレクショントランジスタSxはターンオンされて、リセットレベルに該当する信号が比較器210の正（+）入力端に入力され、第1番目のランプ信号が比較器210の負（-）入力端に入力される。一方、比較器210は、入力された両信号を引き続き比較して、正（+）入力端に入力されたリセットレベルに該当する信号の電圧よりランプ信号が低くなる場合、ランプ信号に該当するデジタルコードをラッチアレイセル310に記録する。ランプ信号とは、クロックに応じて一定の傾斜（傾き）を有し、等間隔に電圧が低くなる信号である。

【0009】デジタルコードは、第1番目のランプ信号が出力されればカウンタ（図示せず）でクロックをカウンティングを開始して比較器210より出力信号が出力されれば、その時までカウンティングされたデジタル値を該当するラッチアレイセル310に記録することになる値である。図3のA地点からカウントが開始され、A'地点までカウンティングされたデジタル値をラッチアレイセル310に格納することになる。

【0010】次いで、単位ピクセル110のリセットトランジスタRxがターンオフされ、伝達トランジスタTxとセレクショントランジスタSxとがターンオンされ、フォトダイオード32で外部光の強さに応じて電荷を誘起する。この場合、フォトダイオード32で誘起された電荷を読み出して得られたデータ電圧が比較器210の正（+）入力端に入力され、一方、第2番目のランプ信号が比較器210の負（-）入力端に入力されて比

較される。この場合にもランプ信号がデータ電圧より低くなる時、比較器210より出力される信号によりその時までカウンティングされたデジタル値をラッチアレイセル310に記録することになる。カウンタは、図3のB地点からカウントを開始し、比較器から信号が出力されるB'地点までカウンティングする。

【0011】最終的にイメージセンサから出力されるイメージ値は、リセットレベルの電圧とデータレベルの電圧を記録したラッチアレイの値を互いに引いた値を利用する。このようにすることにより、ピクセルアレイの工程誤差、あるいは単位ピクセルから出力されるアナログ値をアナログ→デジタル変換する過程で発生し得るオフセット（例えば、比較器などで有し得るオフセット）を除去することができる。すなわち、図3に示すランプ信号のうち、第1番目のランプ信号は各ピクセルをリセットさせた時に単位ピクセルが出力する電圧と一致するデジタル値を得るための信号であり、第2番目のランプ信号は各ピクセルの画像データ出力電圧に該当するデジタル値を得るための信号である。

【0012】図4は、通常的な比較器の回路図である。図示した比較器は、CMOS差動増幅器の構成を採用しているため、その構成及び動作に対する説明は省略する。通常CMOS差動増幅器は、比較的大きいオフセット（offset）電圧を有しており、CMOSイメージセンサの比較器を上記のようなCMOS差動増幅器により構成する場合、数百個に達する比較器のオフセット電圧が全て互いに異なる値を有することになるため、オフセット電圧値が出力イメージの固定パターン雑音（Fixed Pattern Noise）として現れる問題点がある。勿論、前述したCDSがこのような問題を一部補完するが、CDS方式はオフセット電圧自体をデジタル信号に変換しデジタル引き算器を利用して固定パターン雑音を除去するため、雑音を除去することに限界があり、またデジタル信号に変換されたオフセット電圧を保管するためのメモリを追加的に必要とするため、イメージセンサ全体の構成面積を増加させる短所がある。

【0013】図5は、図1のラインバッファ300のブロック構成図である。図5を参照すれば、従来のCDS方式によりピクセルの電圧をデジタル信号に変換しようとすると、単位ピクセル一つに二つのラッチセルが必要である。若し、解像度を高めるためメモリを追加するならば、一つのデジタル値が増加する時ごとに2個のメモリが追加されなければならない。

【0014】そして、二重サンプリングのための制御信号が追加されるため、イメージセンサの動作が非常に複雑となり、これを実現するための制御信号を発生させるデジタル回路が複雑となる。また、比較器として用いられるCMOS差動増幅器が動作しない時もスタティック（Static）電流を流すため、電力消費が多

くてバッテリーにより作動する電子装置に好適ではなく、低電圧で設計する場合、ダイナミックレンジ（Dynamic Range）が小さいため使用上の制限がある。このような問題以外にも、CDS方式を使用するイメージセンサの場合、サンプリングのため多くのクロック数を使用するため、アナログ→デジタル変換機の解像度を高めることが困難であり、各比較器のランプ開始電圧が比較器のオフセット電圧により変わることによって、ピクセルアナログ信号の単一な補正が不可能であるという問題があった。

【0015】

【発明が解決しようとする課題】そこで、本発明は、上記従来の技術の問題点に鑑みてなされたものであって、CMOSイメージセンサでオフセット電圧を効率的に低減しながらも電流消費及びチップのサイズを減らすことのできる比較装置を有するCMOSイメージセンサ及びそのオフセット電圧除去方法を提供することにその目的がある。

【0016】

【課題を解決するための手段】上記目的を達成するためになされた本発明による比較装置を有するCMOSイメージセンサは、被写体のイメージに対応するアナログ信号を捕獲するためのイメージ捕獲手段と、基準クロックに応じて一定の傾きで減少するランプ信号を利用して、前記アナログ信号をデジタル信号に変換するアナログ→デジタル変換手段と、前記アナログ→デジタル変換手段に前記ランプ信号を出力するランプ信号発生手段とを備え、前記アナログ→デジタル変換手段は、前記アナログ信号及び前記ランプ信号を入力されるチョッパ比較器と、CMOSイメージセンサのオフセット電圧をなくするため、リセットモードである時、前記ランプ信号の開始電圧が入力されて前記開始電圧のレベルを誘起し、カウンタモードである時には、基準クロックに応じて減少する前記ランプ信号に該当するレベルの電圧を誘起する入力キャパシタとを備えることを特徴とする。

【0017】また、上記目的を達成するためになされた本発明による比較装置を有するCMOSイメージセンサのオフセット電圧除去方法は、請求項1の比較装置を有するCMOSイメージセンサを駆動させるための方法において、前記ランプ信号の開始電圧を前記入力キャパシタに充電させ、これと同時に前記イメージ捕獲手段のリセット電圧を前記チョッパ比較器へ充電させるリセットモードステップと、前記イメージ捕獲手段から出力されるアナログ信号を前記チョッパ比較器に伝達させる電荷移動モードステップと、基準クロックに応じて減少する前記ランプ信号を前記チョッパ比較器に伝達するカウンタモードステップとを含むことを特徴とする。

【0018】本発明は、イメージセンサのピクセルから出力されるアナログ信号をデジタル信号に変換することによって使用されてきたデジタル和互連された二重サンプリ

ング方式 (Correlated Double Sampling) を使用せず、アナログ相互連関された二重サンプリング方式を使用する比較器を提供する。

【0019】本発明において、アナログ相互連関された二重サンプリング方式とは、CMOSイメージセンサのピクセルから出力されるアナログ信号とオフセット電圧とを第1入力キャパシタに格納し、ランプ信号とオフセット電圧とを第2入力キャパシタに格納した後、スイッチングによってオフセット電圧を相殺させ、ランプ信号とピクセルのアナログ電圧差を比較する方式をいう。このようにすることによって、個別ピクセル間に存在するオフセット電圧を除去して固定パターン雑音を大幅に減らすことができ、ランプ信号が一回のみ必要となるため、デジタル制御アルゴリズムが簡単になることによって、従来に使われたデジタル引き算器が不要となり、回路をさらに簡単に構成することができる。また、CMOSイメージセンサの解像度を高める場合に追加されるメモリもデータを格納するための一つのメモリのみ追加的に必要となる。

【0020】また、本発明の比較装置は、入力オフセット格納方式の各端を一連に連結した簡単な構造を有し、CMOSインバータを使用するので低い電圧でも動作できるチョッパ型 (Chopper type) 電圧比較器にキャパシタを追加した形態により構成される。チョッパ型比較器は増幅器としてインバータを用いるので、入力値の比較時にのみ電流が流れるため、電流消費が低減するという長所を有している。

【0021】

【発明の実施の形態】次に、本発明にかかる比較装置を有するCMOSイメージセンサ及びそのオフセット電圧除去方法の実施の形態の具体例を図面を参照しながら説明する。図6は、通常のチョッパ型電圧比較器の回路図である。図6を参照しながら説明すれば、チョッパ型比較器は二つの入力信号端子 V_n 、 V_p を比較ノードAと選択的に連結させるための第1及び第2スイッチ S_1 、 S_2 と、第1インバータ I_{N1} 及び第1インバータ I_{N1} 両端に連結された第3スイッチ S_3 からなる第1ステージ10と、比較ノードAと第1ステージ10を連結する第1キャパシタ C_1 と、第2インバータ I_{N2} 及び第2インバータ I_{N2} 両端に連結された第4スイッチ S_4 からなる第2ステージ20により構成される。ここで、第1キャパシタ C_1 は、第1ステージ10のクランプ (Clamp) 電圧を、第2キャパシタ C_2 は第2ステージ20のクランプ電圧を各々記憶する。

【0022】図7は、クランプ電圧を誘起するインバータの動作波形である。図7を参照すれば、インバータの入力と出力にスイッチを設けて、短絡させればインバータの動作点に該当するクランプ電圧が誘起されることが分かる。前述したように、チョッパ型比較器は、MOSトランジスタにより構成される複数のスイッチ S_1 、 S

2、 S_3 、 S_4 を備えるが、この場合、電荷インジェクション (Injection) 等によって、下記の数式1のようなオフセット電圧を発生させることができるが、これは相対的に差動増幅器により構成された比較器に比べて極めて小さい値である。

【0023】また、数式1に表すように、インバータ端を大きく設計すれば、オフセット電圧をさらに小さく減らすことができる。

$$\text{【数式1】 } V_{offset} = V_{th} / (A_1 \times A_2)$$

ここで、 V_{th} はチョッパ型比較器の次の端のデジタル回路に対するロジックしきい電圧値を、 A_1 及び A_2 は第1、2ステージ10、20の利得を各々表す。第1、2ステージの利得を大きくするほど回路設計上、オフセット電圧を減らすことができ、このような極めて小さいオフセット電圧の特性のため、オフセット電圧による固定パターン雑音を大幅に減らすことができるようになる。

【0024】図8は、本発明の好ましい一実施例による比較装置を有するCMOSイメージセンサの内部回路図であって、周辺ブロックと共に示す。図8を参照すれば、比較器220、単位ピクセル120、ランプ信号生成部410、ラッチセル320及びアナログ信号に対応するデジタル値を計算するカウンタ510 (CMOSイメージセンサのデジタル制御部内に存在) が共に示されている。ここで、比較器220はチョッパ型比較器のランプ信号入力側にキャパシタ C_3 を追加してアナログ相互連関された二重サンプリング機能を行うことができるように構成することによって、ピクセル間に存在し得る固定パターン雑音を除去して画質を改善し得るように構成しているが、以下の動作説明でさらに詳しく説明する。

【0025】図9は、図8に示された比較器の動作タイミング図である。図8、図9を参照しながら比較器220の動作をステップ別に説明する。第一ステップでピクセル120のリセットレベルの電圧をキャパシタ C_3 に貯蔵し、第2ステップでピクセル120の実際データ値に該当する電圧をキャパシタ C_2 に貯蔵し、 C_2 と、 C_3 に貯蔵した電圧をクランプさせてキャパシタ C_1 にその動作点における電圧を貯蔵する。次いで、第3ステップでランプ信号生成部410とカウンタ510が動作して、二つの入力信号 V_p 、 V_{ramp} を比較した後、比較された結果をラッチセル320に格納する。図9に各々のステップ別に波形が示されており、以下、各ステップ別に詳細に説明する。

【0026】まず、第1ステップ (reset mode) を説明する。伝達トランジスタ T_x をターンオフにセッティングし、リセットトランジスタ R_x をターンオンにセッティングし、セレクショントランジスタ S_x をターンオンにセッティングすればリセットレベルの電圧 V_{reset} がソースフォロアトランジスタ D_x ゲート

に誘起され、ノードN1には‘Vt’ほど落ちた電圧、すなわち‘ $V_p = V_{reset} - V_{th}$ ’が誘起される。しかし、普通のVthにオフセット電圧が存在することになるので、さらに正確には‘ $V_p = V_{reset} - (V_{th} + V_{offset})$ ’となる。一方、ノードN2にはランプ信号生成部410から出力されるランプ電圧Vrampの開始電圧Vstartが印加される。従って、この場合には、‘ $V_{ramp} = V_{start}$ ’である。

【0027】また、第1ステップで、スイッチS1、S2がオンされてキャパシタC3に下記数式2のような電圧が格納され、以後スイッチS2は直ちにオフされる。

【数式2】 $V_{C3} = V_{reset} - (V_{th} + V_{offset}) - V_{start}$

【0028】次いで、第2ステップ(transfer mode)では、単位ピクセル120の実際データ値に該当する電圧を比較器220に印加すべきであるため、リセットトランジスタRxをターンオフにしておき、第1、第2伝達トランジスタTxをターンオンして、フォトダイオードPDにより発生された電荷をソースフォロアトランジスタDxのゲートに電送する。この場合のゲート電圧は、‘Vpixel’となるため、ノードN1の電圧は‘ $V_{N1} = V_{pixel} - (V_{th} + V_{offset})$ ’となり、一方、2個のスイッチS3、S4がスイッチオンされて2個のインバータIN1、IN2の動作点に該当する電圧をキャパシタC2、C3に誘起されるようにする。キャパシタC2、C3に誘起される電圧は、各々‘Vclamp1’、‘Vclamp2’となる。

【0029】ここで、スイッチS1が第1ステップから続いてスイッチオンされているため、キャパシタC2には下記数式3の電圧が貯蔵され、キャパシタC1には下記数式4の電圧が貯蔵される。そして、この格納された電圧を保持させるためにスイッチS1、S3、S4は直ちにスイッチオフされる。

【数式3】 $V_{C2} = V_{pixel} - (V_{th} + V_{offset}) - V_{clamp1}$

【数式4】 $V_{C1} = V_{clamp1} - V_{clamp2}$

【0030】第1と第2ステップの動作を整理すれば、第1ステップにおいてキャパシタC3に‘ $V_{reset} - (V_{th} + V_{offset}) - V_{start}$ ’の電圧値がサンプリングされ、第2ステップにおいてキャパシタC2に‘ $V_{pixel} - (V_{th} + V_{offset}) - V_{clamp1}$ ’の電圧がサンプリングされる。以後、スイッチング動作により上記のキャパシタC3、C2が有しているオフセット値が互いに相殺されて除去され、従って前記の方式をアナログ相互連関された二重サンプリング方式という。

【0031】次いで、第3ステップ(count mode)において、ランプ信号生成部410から出力され

るランプ信号と単位ピクセル120とに格納された電圧値を比較するためにスイッチS2をスイッチオンする。

ここで、スイッチS2がオンされても、残りのスイッチS1、S3、S4がオフ状態にあるため、キャパシタC1、C2、C3の電圧は続いて保持される。

【0032】この場合、第1インバータIN1の入力電圧N3は、下記数式5によって決められ、数式5に数式2と数式3を代入すれば、下記の数式6となる。また、ランプ信号生成部410から出力されるランプ電圧Vrampの開始電圧が‘Vstart’であるため、これをさらに数式6に代入すれば、下記の数式7となる。

【数式5】 $V_{N3} = V_{ramp} + V_{C3} - V_{C2}$

【数式6】 $V_{N3} = V_{ramp} - V_{start} + V_{reset} - V_{pixel} + V_{clamp1}$

【数式7】

$V_{N3} = V_{reset} - V_{pixel} + V_{clamp1}$

【0033】上記数式7を説明すれば、Vc3とVc2に存在していたVthとVoffsetとが除去されたことが分かるが、これは既にアナログ相互連関された二重サンプリングがなされたことを表すものである。ここで、残っている値は、‘ $V_{reset} - V_{pixel}$ ’であるが、この値は純粋なアナログピクセルデータ値を表す。そして、電圧Vclamp1は、第1インバータIN1の動作点であるため、第1インバータIN1の入力電圧が‘Vclamp1’となる瞬間が比較瞬間となる。

【0034】一方、この第3ステップにおいてラッチセル320を作動させるためにラッチイネーブル信号Latch_ENがHighにセッティングされ、ランプ信号生成部410から出力されるランプ信号が段階的に減少することに伴って、毎クロック毎にカウンタ510の値も一つずつ増加することになる。ランプ信号生成部410により生成されるランプ信号は、下記数式8のように表すことができる。ΔVは、クロックに応じて変化するランプ信号の電圧値を表す。

【数式8】 $V_{ramp} = V_{start} - \Delta V$

【0035】数式8を数式6に代入すれば、第1インバータIN1の入力電圧は下記の数式9のように表すことができる。

【数式9】 $V_{N3} = (V_{reset} - V_{pixel}) - \Delta V + V_{clamp1}$

ランプ信号により数式9のΔV値が増加することになるが、時間が経過すれば‘ $V_{reset} - V_{pixel}$ ’と同じくなる時がある。この場合、第1インバータIN1の入力電圧が‘Vclamp1’となると同時に第2インバータIN2の入力電圧も動作電圧である‘Vclamp2’となって2個のインバータが動作点にあることになる。

【0036】この時点が比較される瞬間であり、この場合ランプ信号が少しでもさらに落ちることになれば、そ

の信号が第1、2インバータの利得に増幅され、 V_o が接地電源（ground）に落ちる。このように V_o が接地電源に落ちれば、その間追跡してきたカウンタ510の値が最終的にラッチセル320に格納される。この格納された値が単位ピクセルのデータによるデジタル値である。最後に、ラッチセル320に格納されたデータがデジタル制御部（図1の500）に伝達されるまで保管するために、ラッチイネーブル信号 $Latch_EN$ をローにセッティングする。

【0037】前述したように、本発明の比較装置は、比較される瞬間のみに第1、第2インバータ $IN1$ 、 $IN2$ に電流が流れるようになるので、スタティック電流がほとんどないので、全体電力消費を大幅に低減することができる。そして、本発明の比較器はリセットレベルがアナログ信号形態でキャパシタ $C3$ に格納されるため、ランプ信号生成部410がランプ信号を一回のみ発生すれば良いので全体チップの動作が簡単になり、デジタル制御アルゴリズムを単純化させることができる。また、リセットレベルの値をデジタル値に変換してその結果を格納する必要がないので、全体メモリの大きさを半分に減らすことができる。

【0038】尚、本発明は、本実施例に限られるものではない。本発明の技術的範囲から逸脱しない範囲内で多様に変更実施することが可能である。例えば、前述した実施ではCMOSイメージセンサにおける比較器を例として説明したが、本発明の比較装置は低電圧で作動するアナログ集積回路、またはオフセットが除去された比較装置が必要な集積回路の設計時に適用可能である。

【0039】

【発明の効果】上述したように、本発明にかかる比較装置を有するCMOSイメージセンサ及びそのオフセット電圧除去方法は、アナログ相互連関された二重サンプリング動作を行って個別ピクセル間に存在するオフセット電圧を除去することによって、固定パターン雑音を大幅に低減しながらもランプ信号が一回のみ必要であるので、制御信号が簡単になりデジタル引き算器が不要とな

るので、回路を簡単に構成することができるという効果がある。そして、本発明は、アナログ相互連関された二重サンプリングを行うことによって、CMOSイメージセンサ具現の時、デジタル相互連関された二重サンプリングを行うCMOSイメージセンサより小さい面積で実現できる。また、本発明の比較装置は、比較される瞬間のみに反転増幅器で電流が流れるため、全体平均電流の量を大幅に減らして電力の消費を減らすことができる。

【図面の簡単な説明】

【図1】従来のデジタル相互連関された二重サンプリング（CDS）方式を支援するCMOSイメージセンサの全体ブロック構成図である。

【図2】図1のCMOSイメージセンサの全体的なブロックの中から単位ピクセルの画素信号をデジタル信号に変換して格納するための経路を示す回路図及びブロック図である。

【図3】従来のデジタル二重サンプリング方式を説明するための波形図である。

【図4】図2の比較器を構成する差動増幅器の回路図である。

【図5】図1のラインバッファのブロック構成図である。

【図6】通常のチョップ型電圧比較器の回路図である。

【図7】図6のチョップクランプ電圧を誘起するインバータの動作波形である。

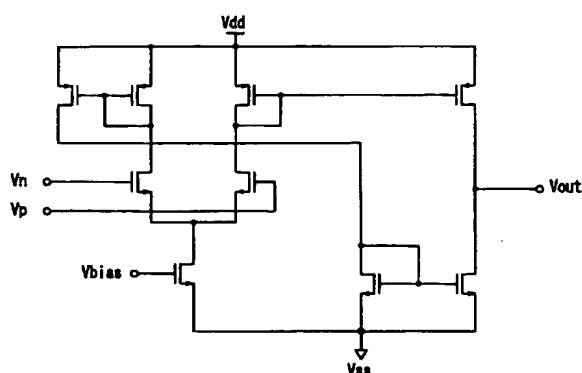
【図8】本発明の好ましい一実施例にかかる比較装置を有するCMOSイメージセンサの内部回路図及び周辺ブロック図である。

【図9】図8に示された本発明にかかる比較装置を有するCMOSイメージセンサの動作タイミング図である。

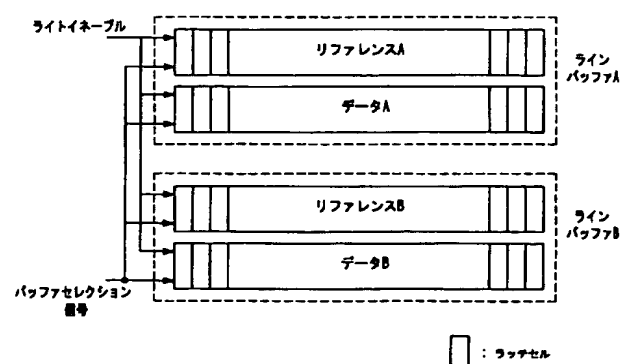
【符号の説明】

120	単位ピクセル
220	比較器
320	ラッチセル
410	ランプ信号生成部
510	カウンタ

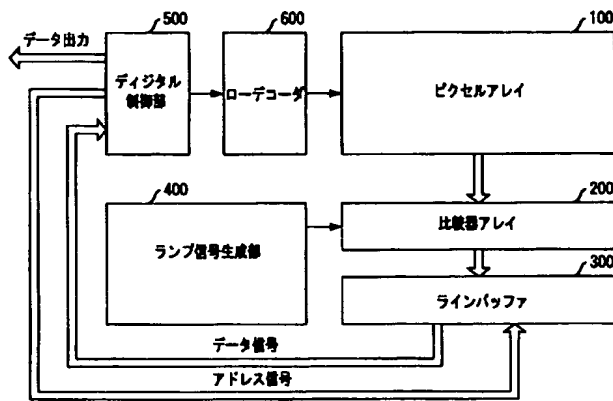
【図4】



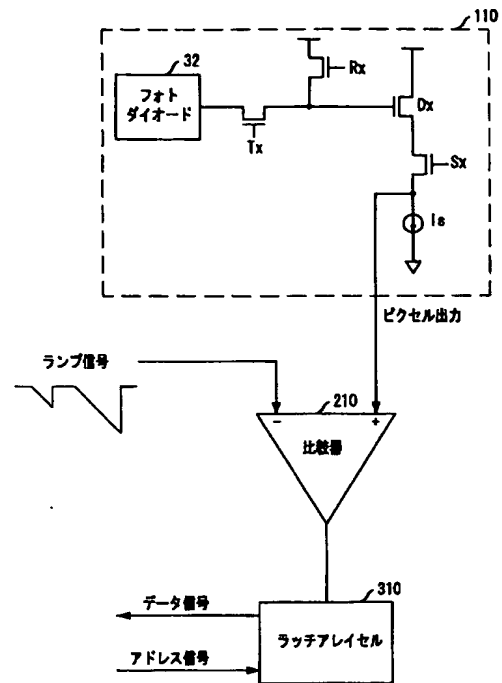
【図5】



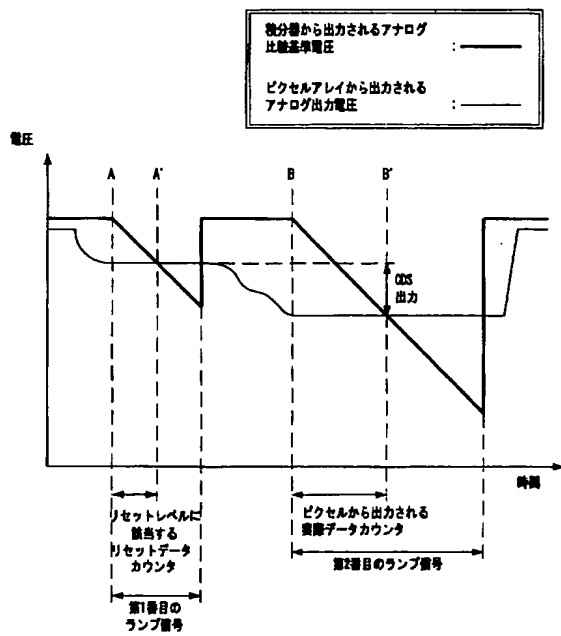
【図1】



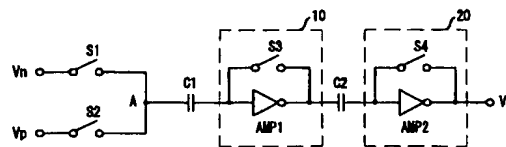
【図2】



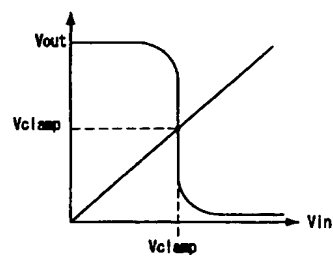
【図3】



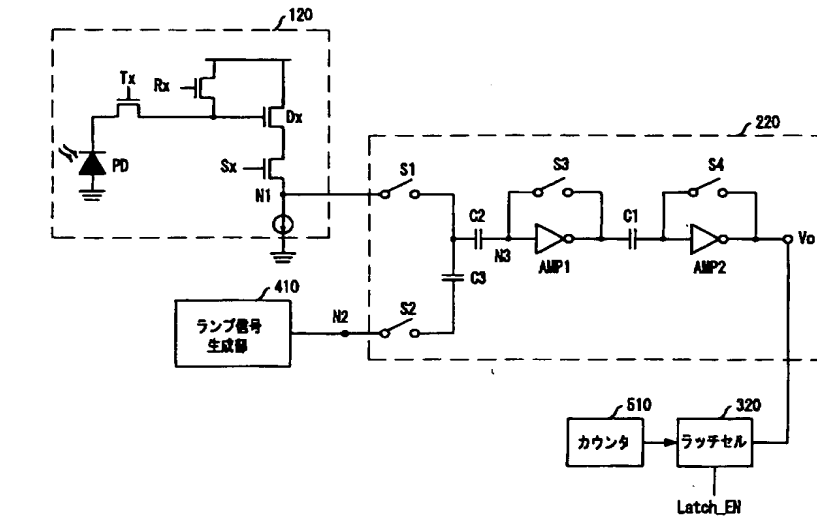
【図6】



【図7】



【図8】



【図9】

